



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ Übersetzung der
europäischen Patentschrift

⑧7 EP 0 544 047 B 1

⑩ DE 691 28 936 T 2

≡ 5,449,936

⑤1 Int. Cl.⁶:
H 01 L 27/088
H 01 L 21/76

- ②1 Deutsches Aktenzeichen: 691 28 936.0
⑧6 Europäisches Aktenzeichen: 91 830 512.9
⑧6 Europäischer Anmeldetag: 25. 11. 91
⑧7 Erstveröffentlichung durch das EPA: 2. 6. 93
⑧7 Veröffentlichungstag
der Patenterteilung beim EPA: 18. 2. 98
④7 Veröffentlichungstag im Patentblatt: 16. 7. 98

DE 691 28 936 T 2

⑬ Patentinhaber:

SGS-Thomson Microelectronics S.r.l., Agrate
Brianza, Mailand/Milano, IT; Consorzio per la
Ricerca Sulla Microelettronica nel Mezzogiorno,
Catania, IT

⑭ Vertreter:

Prüfer und Kollegen, 81545 München

⑧4 Benannte Vertragsstaaten:

DE, FR, GB, IT

⑰ Erfinder:

Paparo, Mario, I-95037 San Giovanni La Punta
(Catania), IT; Aiello, Natale, I-95123 Catania, IT

⑤4 Hochstrom-MOS-Transistor enthaltende integrierte Brückenstruktur mit optimierten
Übertragungsverlusten

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patentamt inhaltlich nicht geprüft.

DE 691 28 936 T 2

Diese Erfindung bezieht sich auf einen Hochstrom-MOS-Transistor mit integrierter Brückenstruktur, der Leitungsleistungsverluste optimiert.

Wenn ein elektrisches Signal von Wechselstrom zu Gleichstrom umgeformt wird, wird üblicherweise eine Graetz-Brücken-Gleichrichterschaltung benutzt, die aus zwei Armen oder Halbbrücken besteht, von denen jede zwei Transistoren aufweist.

Eine bekannte Gleichrichterschaltung, die integrierte MOS-Technologie benutzt, ist in der US 4 949 142 beschrieben.

Sie sieht ein Paar von MOS-Transistoren auf jedem Arm der Brücke vor, die auf solch eine Weise miteinander verbunden sind, daß die Source-Elektrode eines ersten Transistors in jedem Arm mit der Drain-Elektrode des zweiten Transistors in dem Arm verbunden ist. Koppeldioden sind ebenfalls zwischen die Source- und Drain-Elektroden eines jeden Transistors gesetzt.

Wenn diese Schaltung in integrierter Form aufgebaut wird, sind die verbundenen Halbleiterbereiche, die Transistorsource und -drain, die Dioden und die Gateelektroden auf einer einzelnen Halbleiterplatte oder Substrat aufgebaut, wodurch die Fläche des benutzten Siliziums minimiert wird und eine schnellere Geschwindigkeit in der Schaltung erzeugt wird.

Diese Form des Aufbaues kann nicht mit vernünftiger Wandelevfektivität aufgebaut werden, obwohl die Fläche der Halbleiterplatte optimiert ist und eine ausreichende Geschwindigkeit in der so erhaltenen Schaltung sichergestellt ist.

Die resultierende monolithische integrierte Schaltung weist tatsächlich parasitäre Transistoren auf, die deutliche Lei-

18.03.98

stungsverluste verursachen. Während die Schaltung funktioniert, fließen hohe Ströme, die übermäßige Dissipation der Leistung an Parasiten und Verbindungen verursachen, was in einem Zusammenbruch der Verbindungen der Parasiten selbst und der benachbarten Komponenten, die die Brücke bilden, resultieren kann, mit dem Resultat, daß die Brücke nicht funktioniert.

Die DE 34 00 973 A offenbart einen anderen MOS-Transistor mit integrierter Brückenstruktur eines bekannten Types.

Die IEEE IEDM 6/12/87, Seiten 766 - 769 offenbart einen Hochseitentreiber in entweder Multileistungs-BCD- oder VI-Leistungs-Technologie.

Die Aufgabe dieser Erfindung ist es, einen Hochstrom-MOS-Transistor mit integrierter Brückenstruktur vorzusehen, der die Leistungsleistungsverluste optimiert und der auf monolithische Weise auf einer einzelnen Platte aus Silizium aufgebaut werden kann.

Gemäß der Erfindung wird diese Aufgabe gelöst durch einen Hochstrom-MOS-Transistor mit integrierter Brückenstruktur, wie er in Anspruch 1 definiert ist.

Auf diese Weise bewirkt das Vorhandensein der P-Isolationsbereiche, daß der Effekt der parasitären Transistoren, die zwischen dem ersten und dem zweiten Transistor des ersten und des zweiten Armes der Brücke gebildet sind, durch den Effekt der integrierten monolithischen Konstruktion ausgeglichen wird.

Insbesondere gibt es eine Verringerung der dissipierten Leistung, was ebenfalls aufgrund der Tatsache gegeben ist, daß dieser Aufbau einen vertikalen Stromfluß in seinem mittleren Abschnitt aufweist und zum Abgreifen des Knotens höheren Potentials der gleichgerichteten Spannung direkt auf dem Substrat der Vorrichtung benutzt werden kann.

Die Merkmale dieser Erfindung werden ersichtlicher aus einer praktischen Ausführungsform, die mittels eines nicht-beschränkenden Beispieles in der beigefügten Zeichnung dargestellt ist, in der:

Figur 1 ein erstes Schaltbild eines Brückengleichrichters zeigt, der nicht einen Teil der Erfindung bildet,

Figur 2 eine integrierte Ausführungsform eines Brückengleichrichters mit einer Äquivalentschaltung zeigt, wie sie in Figur 1 dargestellt ist,

Figur 3 ein alternatives Schaltbild zu dem in Figur 1 gezeigten gemäß der Erfindung zeigt,

Figur 4 eine integrierte Ausführungsform des in Figur 3 dargestellten Schaltbildes zeigt.

Es wird Bezug genommen auf Figur 1, diese zeigt eine Graetz-Brückengleichrichterschaltung mit zwei Armen oder Halbbrücken 1, 2, von denen jeder einen ersten und einen zweiten Transistor M3 und M1 in Arm 1 und M4 und M2 in Arm 2 aufweist. Alle vier Transistoren M1, M2, M3, M4 sind vom n-Kanal-MOS-Typ. Die Sources der Transistoren M3, M4 sind miteinander verbunden und mit einem Ausgangsanschluß A1 negativen Potentials verbunden, die Gates empfangen ein Ausgangssignal direkt und über einen Inverter I1 entsprechend von einer Treibervorrichtung D1, die wiederum ein Signal empfängt, das an Wechselstromeingängen A3, A4 vorhanden ist. Die Drains der Transistoren M3, M4 sind an Schaltungsknoten N1, N2 mit den Sources der Transistoren M1 bzw. M2 verbunden. Die Drains der Transistoren M1, M2 sind mit einem Ausgang K1 positiven Potentials verbunden, die Gates sind durch Zenerdioden DZ1, DZ2 geerdet und empfangen das Ausgangssignal von der Treibervorrichtung D1 durch den Inverter I1 bzw. direkt. Innenwiderstände R1, R2 der integrierten Struktur sind zwischen dem Gate des Transistors M1 und dem Ausgang des Inverters I1 bzw. zwischen dem Gate des Transistors M2 und dem Ausgang der Steuerschaltung D1 angeordnet. Eine Last L ist zwi-

18.03.98

schen einem Ausgangsanschluß A1 an einem negativen Potential und einem Ausgang K1 an einem positiven Potential geschaltet.

Eine monolithische Ausführungsform der oben beschriebenen Brückenschaltung ist in Figur 2 dargestellt und weist ein N^{++} -Substrat 3 auf, das einen Ausgangsanschluß K1 mit einem positiven Potential bildet, das von einer N^- -Epitaxialschicht 4 überlagert ist.

Innerhalb der Epitaxialschicht 4 sind Bereiche, die Transistoreinheiten M1, M2, M3, M4 bilden.

Während die Transistoren M1, M2 direkt in der Epitaxialschicht gebildet sind, sind die Transistoren M3, M4 in P-Taschen 13 bzw. 14 aufgebaut, die direkt in der Epitaxialschicht 4 enthalten sind und sich zu der Oberfläche mit Unterbereichen 25, 26 des P^+ -Types erstrecken, die in einer Epitaxialschicht 49 enthalten sind. Die Funktion dieser Taschen wird unten erläutert.

Der Transistor M3 ist in einem angereicherten N^+ -Drainbereich 15 in einer L-Form gebildet, wobei sich ein seitlicher Bereich 17 des N^{++} -Types zu der Oberfläche erstreckt.

Der Bereich 15 zusammen mit dem Bereich 17 ist an seinen zwei Seiten mit einem N-Drainbereich 19 verbunden. Der Bereich 19 enthält einen Körperbereich 21 des P-Types, der wiederum N^+ -Sourcebereiche 23 enthält.

Das Gate von M3 ist aus einem Paar von Bereichen 27 gebildet, die in einer isolierenden Oberflächenschicht 28 eingebettet sind. Die Gateelektrode ist durch G3 bezeichnet.

Die Bereiche 21 und 15, 19 stellen die Anode und die Kathode einer Pd3-Diode dar, die parallel zu der Source und dem Drain des Transistors M3 angeordnet ist.

18.03.98

Der Transistor M4 ist aus einem angereicherten N^+ -Drainbereich 16 einer L-Form gebildet mit einem seitlichen N^{++} -Drainbereich 18, der sich zu der Oberfläche erstreckt.

Der Bereich 16 zusammen mit dem Bereich 18 ist an seinen zwei Seiten mit einem N-Drainbereich 20 verbunden. Der Bereich 20 enthält einen Körperbereich 22 des P-Types, der wiederum N^+ -Sourcebereiche 24 enthält.

Das Gate von M4 ist durch ein Paar von Bereichen 29 gebildet, die in einer isolierenden Oberflächenschicht 30 eingebettet sind. Die Gateelektrode ist durch G4 bezeichnet.

Die Bereiche 22 und 16, 20 stellen die Anode und die Kathode einer Diode Pd4 dar, die parallel zu dem Transistor M4 angeordnet ist.

Der Transistor M1 ist aus einem angereicherten N^+ -Drainbereich 5 mit seitlichen Bereichen 7 gebildet, die sich zu der Oberfläche erstrecken.

Der Bereich 5 zusammen mit dem Bereich 7 enthält einen N-Drainbereich 31. Innerhalb des Bereiches 31 gibt es einen P-Körperbereich 9 und innerhalb von diesem N^+ -Sourcebereiche 11.

Das Gate von M1 ist aus einem Paar von Bereichen 33 gebildet, die in einer isolierenden Oberflächenschicht 34 eingebettet sind. Die Gateelektrode ist durch G1 bezeichnet.

Die Bereiche 13, 4 stellen die Anode und die Kathode einer Diode Pd1 dar, die parallel zu dem Transistor M1 angeordnet ist.

Der Transistor M2 ist aus einem angereicherten N^+ -Drainbereich 6 mit seitlichen Bereichen 8 gebildet, die sich zu der Oberfläche erstrecken.

18.03.98

Der Bereich 6 zusammen mit den Bereichen 8 enthält einen N-Drainbereich 32. Innerhalb des Drainbereiches 32 gibt es einen P-Körperbereich 10 und innerhalb von diesem N⁺-Sourcebereiche 12.

Das Gate von M2 ist aus einem Paar von Bereichen 35 gebildet, die in einer isolierenden Oberflächenschicht 36 eingebettet sind. Die Gateelektrode ist durch G2 bezeichnet.

Die Bereiche 14, 4 stellen die Anode und die Kathode einer Diode Pd2 dar, die parallel zu dem Transistor M2 angeordnet ist.

Metallstreifen 55, 56, 57, 58, 59, 60, 61, 62 sind auf der Oberfläche vorhanden und verbinden die Bereiche 9, 11, 17, 25 mit dem Eingang A3, die Bereiche 10, 12, 61, 62 mit dem Eingang A4, die Bereiche 21, 23 und die Bereiche 22, 24 mit dem Ausgangsanschluß A1 des negativen Potentials.

Innerhalb der integrierten monolithischen Struktur gibt es parasitäre Transistoren Tp1, Tp2, Tp3, Tp4, Tp5, Tp6, die durch gestrichelte Linien bezeichnet sind, die bei der Abwesenheit der Bereiche 13, 25, 14, 26 oder in einer Struktur, in der alle vier MOS direkt in einem geerdeten Substrat gemacht sind, wie z.B. in der in der Einleitung erwähnten Patentanmeldung, und daher aktiv sind mit folglichem Leistungsverlust in der Struktur.

Der parasitäre Transistor Tp1 weist eine Basis, die mit dem Bereich 25 zusammenfällt, einen Emitter mit dem Bereich 17 und einen Kollektor mit dem Bereich 7 auf.

In Schaltungsbegriffen sind, wie in Figur 1 zu sehen ist, der Emitter und die Basis von Tp1 mit dem Eingang A3 verbunden, und der Kollektor ist mit dem Ausgangsanschluß K1 positiven Potentials verbunden.

18.03.98

Die Basis des parasitären Transistors Tp2 fällt mit dem Bereich 26, der Emitter mit dem Bereich 18 und der Kollektor mit dem Bereich 6 zusammen.

In Schaltungsbegriffen, der Emitter und die Basis von Tp2 sind mit dem Eingang A4 verbunden, und der Kollektor ist mit dem Ausgangsanschluß K1 positiven Potentials verbunden.

Der parasitäre Transistor Tp3 weist eine Basis, die mit der Epitaxialschicht 4 zusammenfällt, einen Emitter mit dem Bereich 14 und einen Kollektor mit dem Bereich 13 auf.

In Schaltungsbegriffen, der Emitter und der Kollektor von Tp3 sind mit den Eingängen A4, A3 verbunden, und die Basis ist mit dem Anschluß K1 positiven Potentials verbunden.

Der parasitäre Transistor Tp4 weist eine Basis, die mit der Epitaxialschicht 4 zusammenfällt, der Emitter mit dem Bereich 13 und der Kollektor mit dem Bereich 14 auf.

In Schaltungsbegriffen, der Emitter und der Kollektor von Tp4 sind mit Eingängen A3, A4 verbunden, und die Basis mit dem Anschluß K1 positiven Potentials.

Der parasitäre Transistor Tp5 weist eine Basis, die mit den Bereichen 32, 6, 8 zusammenfällt, den Emitter, der mit dem Bereich 10 zusammenfällt, und den Kollektor mit den Bereichen 14, 26 auf.

In Schaltungsbegriffen, die Basis von Tp5 ist mit dem Anschluß K1 positiven Potentials verbunden, und der Emitter und der Kollektor sind mit dem Eingang A4 verbunden.

Der parasitäre Transistor Tp6 weist eine Basis, die mit dem Bereich 31, 5, 7 zusammenfällt, den Emitter, der mit dem Bereich 9 zusammenfällt, und den Kollektor mit dem Bereich 13, 25 auf.

In Schaltungsbegriffen, die Basis von Tp6 ist mit dem Anschluß K1 positiven Potentials verbunden, und der Emitter und der Kollektor sind mit dem Eingang A3 verbunden.

Die oben beschriebene Struktur ist in ihrer mittleren Zone von dem vertikalen Stromflußtyp und weist den Vorteil auf, daß sie den Knoten höheren Potentials der gleichgerichteten Spannung direkt auf dem Substrat 3 abgreifen kann anstelle an der Oberfläche der Vorrichtung, wodurch die dissipierbare Leistung verbessert wird.

Als ein Resultat des Vorhandenseins der Bereiche 13, 25; 14, 26, die nicht geerdet sind, aber mit den Eingängen A3 bzw. A4 verbunden sind, werden die parasitären Transistoren Tp1, Tp2 abgeschaltet, wenn die Basis und der Emitter kurzgeschlossen sind. Ebenfalls sind die parasitären Transistoren Tp5, Tp6 dadurch inaktiv, daß ihre Emitter- und Kollektorbereiche zusammen kurzgeschlossen sind.

Soweit es die parasitären Transistoren Tp3, Tp4 betrifft, ist der Stromverlust durch diese vernachlässigbar, da sie laterale PNP-Transistoren mit einer sehr breiten Basis und daher mit einem extrem niedrigen Gewinn sind.

In Bezug auf die Dioden Pd1, Pd2, Pd3, Pd4, wenn das Potential an dem Eingang A3 positiv ist, leiten M1, M4, und die Dioden Pd1, Pd4 geben keinen Beitrag, da sie durch die Transistoren M1, M4 kurzgeschlossen sind. Die Dioden Pd3, Pd4 sind verboten.

Eine ähnliche Situation tritt in dem Fall des negativen Potentials auf dem Eingang A3 auf. In diesem Fall sind Pd2, Pd3 durch die Transistoren M2, M3 kurzgeschlossen, die leiten und parallel angeordnet sind, während Pd1, Pd4 verboten sind.

Die Steuerschaltung für die Gates G1, G2 benutzt geeignete Ladungspumpenverfahren zum Steuern der Gates M1 und M2, die ein größeres Potential als das positive Potential benötigen, das auf dem Substrat zur Verfügung steht, das mit dem Ausgangsan-

schluß K1 positiven Potentials zusammenfällt, das einen Wert gleich mindestens der Spannung aufweist, die zum Bewirken, daß die MOS voll leitend sind, benötigt wird.

Eine Änderung in der oben beschriebenen Struktur ist in Figuren 3, 4 dargestellt.

Figur 3 unterscheidet sich von Figur 1 durch das Vorhandensein von p-Kanal-MOS M1', M2' anstelle der n-Kanal-MOS M1, M2.

Wie in Figur 4 dargestellt ist, sind die Transistoren M1', M2' innerhalb der Epitaxialschicht 4, 49 aufgebaut und enthalten einen N⁺-Bereich 37 mit N⁺⁺-Bereichen 38, die sich zu der Oberfläche erstrecken. Innerhalb des Bereiches 37 gibt es P-Körperbereiche 39 für den Transistor M1', 40 für den Transistor M2', beide vom N-Typ.

Der Transistor M1' enthält auch einen P-Sourcebereich 41 und -drainbereich 41' innerhalb des Körperbereiches 39.

Das Gate von M1' ist durch einen Bereich 42 gebildet, der in einer isolierenden Oberflächenschicht 43 eingebettet ist. Die Gateelektrode ist durch G1' bezeichnet.

Der Transistor M2' enthält auch innerhalb des Körperbereiches 40 einen P-Sourcebereich 44 und -drainbereich 44'.

Das Gate von M2' ist durch einen Bereich 45 gebildet, der in einer isolierenden Oberflächenschicht 46 eingebettet ist. Die Gateelektrode ist durch G2' bezeichnet.

Auf der Oberfläche der Struktur gibt es auch Metallstreifen 47, 48, 50, die die Bereiche 15, 13, 41' mit dem Eingang A3 verbinden, Streifen 51, 52, 53, die die Bereiche 15, 14, 44' mit dem Eingang A4 verbinden, und einen Streifen 54, der die Bereiche 37, 41, 44 mit dem Ausgangsanschluß K1 positiven Potentials verbindet, und Streifen 57, 58, die die Bereiche 23, 24 mit dem Ausgangsanschluß A1 verbinden.

18.03.98

Eine Untersuchung der Figur 3 enthüllt eine extreme Einfachheit der Brücke, die in dieser zweiten Version steuert, da die steuernden Spannungen für die Transistorengates M1', M2', M3, M4 immer zwischen dem positiveren Potential, das an dem Ausgangsanschluß K1 vorhanden ist, und dem negativeren Potential, das an dem Ausgangsanschluß A1 vorhanden ist, liegen, was ein offensichtlicher Vorteil für das Steuern der Vorrichtung D1 ist.

In dem Fall der beiden Schaltungen in Figur 1 und der in Figur 3 ist es möglich, die entsprechenden steuernden Vorrichtungen in monolithischer Form auf der gleichen Platte aufzubauen, die die Struktur trägt, die einen selbstversorgten synchronen Konverter bildet.

Die Struktur gemäß der Erfindung kann in Multiphasenschaltungen in allen Strukturkonfigurationen benutzt werden, und die Brückenarme können von einem Minimum von 1 bis N variieren.

Alle Abmessungen der benutzten Platte sind mit der maximalen wandelbaren Leistung und der Gesamtzahl von integrierbaren Einheitsarmen verknüpft.

Die Struktur, auf die sich diese Erfindung bezieht, kann benutzt werden, wenn der Generator (VA3-VA4) und die Last L invertiert sind, wodurch Brücken mit N-Armen für Anwendungen in der Motorsteuerung und statischen Invertern erzeugt werden.

Bei der Form der Struktur ist die Begrenzung der Lieferspannung für die Brücke durch den vertikalen Stromfluß-MOS und die isolierten Drain-Vorrichtungen (typischerweise 60 - 100 Volt) aufgelegt, während die oberen Arme der Brücke (vertikale Stromfluß-MOS-Transistoren) sehr viel höhere Durchbruchsspannungen (ungefähr 2000 Volt) haben können.

Wenn die zwei MOS-Transistoren M3, M4 mit vertikalem Stromfluß und der isolierte Drain mit einer Konfiguration von MOS-Transi-

18.03.98

storen mit einem vertikalen Stromfluß und isoliertem Drain, die in Reihe miteinander verbunden sind, ersetzt werden, ist es möglich, die maximale Betriebsspannung der Brücke auf einen Wert N mal der Durchbruchsspannung der Transistoren zu erhöhen, wobei N die Zahl der in Reihe miteinander angeordneten Transistoren ist.

Falls es gewünscht wird, kann die beschriebene Vorrichtung ebenfalls eine oder mehrere isolierende Taschen 13, 14; 25, 26 enthalten, die mit einem Potential verbunden sind, das nicht größer als das Substratpotential ist, in denen eine oder mehrere Komponenten der Steuervorrichtung für die zwei Arme der Brücke aufgenommen sind.

18.03.98

EP 91 830 512.9
SGS-THOMSON MICROELECTRONICS s.r.l.
CONSORZIO PER LA RICERCA SULLA
MICROELETTRONICA NEL MEZZOGIORNO

A N S P R U C H

1. Integrierter Aufbau für eine Hochstrom-MOS-Transistorbrücke mit mindestens zwei Brückenarmen (1, 2), von denen jeder einen ersten n-Kanal-MOS-Transistor (M3, M4) und einen zweiten p-Kanal-MOS-Transistor (M1', M2') enthält, die in Reihe miteinander zwischen einem positiven und einem negativen Brückenausgangsanschluß (K1, A1) geschaltet sind und einen gemeinsamen Schaltungsknoten (N1, N2) aufweisen, der mit einem entsprechenden Wechselstromeingangsanschluß (A3, A4) verbunden ist, wobei der Aufbau aufweist:
 - a) ein N^{++} -Substrat (3) mit einer mit dem positiven Brückenausgangsanschluß (K1) verbundenen Bodenoberfläche;
 - b) einer über dem Substrat (3) gebildeten N-Epitaxieschicht (4) mit einer oberen Oberfläche;
 - c) einen U-förmigen P-Isolationsbereich (13, 14), der in der Epitaxieschicht (4) gebildet ist und mit einem entsprechenden Wechselstromeingangsanschluß (A3, A4) für jeden Brückenarm (1, 2) verbunden ist, wobei sich der Isolationsbereich (13, 14) von der oberen Oberfläche der Epitaxieschicht erstreckt und vollständig auf einem Körperbereich (21, 22) gebildete dotierte Sourcebereiche (23, 24) und dotierte Drainbereiche (15, 17; 16, 18) des entsprechenden ersten MOS-Transistors (M3, M4) umgibt, die Sourcebereiche (23, 24) elektrisch mit dem negativen Brückenausgangsanschluß (A1) verbunden sind und die Drainbereiche (15, 17; 16, 18) elektrisch mit einem entsprechenden Wechselstromeingangsanschluß (A3, A4) verbunden sind;
die Drainbereiche aus N^{+} -Drainbereichen (15, 17; 16, 18) in einer L-Form gebildet sind;

JM/ah

- d) einen U-förmigen N^+ -Bereich (5, 7; 6, 8; 37, 38) für jeden Brückenarm (1, 2), wobei sich der N-Bereich (5, 7; 6, 8; 37, 38) von der oberen Oberfläche der Epitaxieschicht außerhalb des Isolationsbereiches (13, 14) erstreckt und vollständig einen n-Körperbereich (39, 40) umgibt, der dotierte Sourcebereiche (41, 44) und dotierte Drainbereiche (41', 44') der entsprechenden zweiten MOS-Transistoren (M1', M2') aufweist, wobei die Sourcebereiche (41, 44) elektrisch mit einem entsprechenden Wechselstromeingangsanschluß (A3, A4) verbunden sind und die Drainbereiche (41', 44') elektrisch mit dem positiven Brückenausgangsanschluß (K1) verbunden sind.

18.03.98

EP 91 830 512.9
SGS-Thomson Microelectronic
s.r.l.

Tav.I

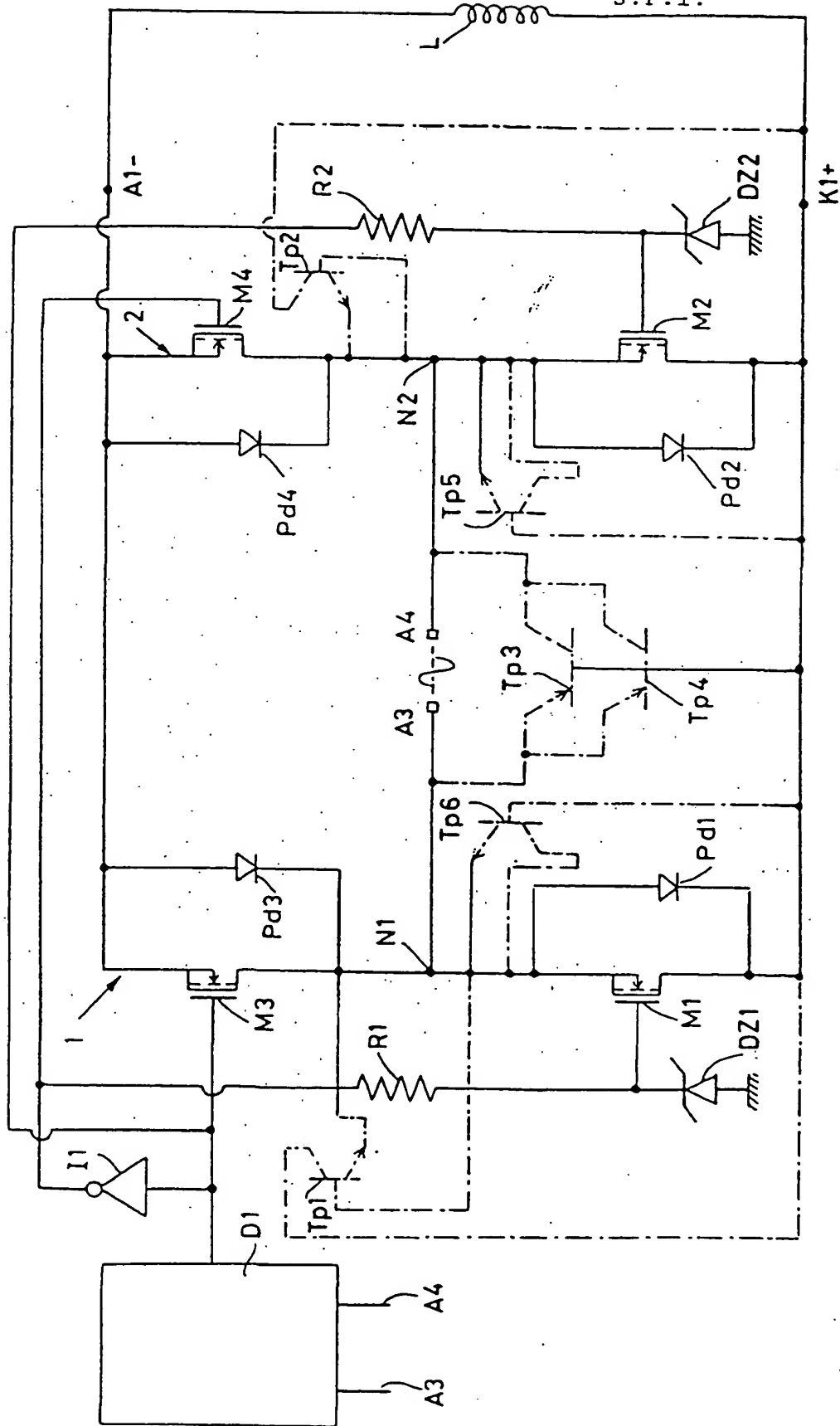


Fig.1

Fig. 2

22.03.98

Tav. III

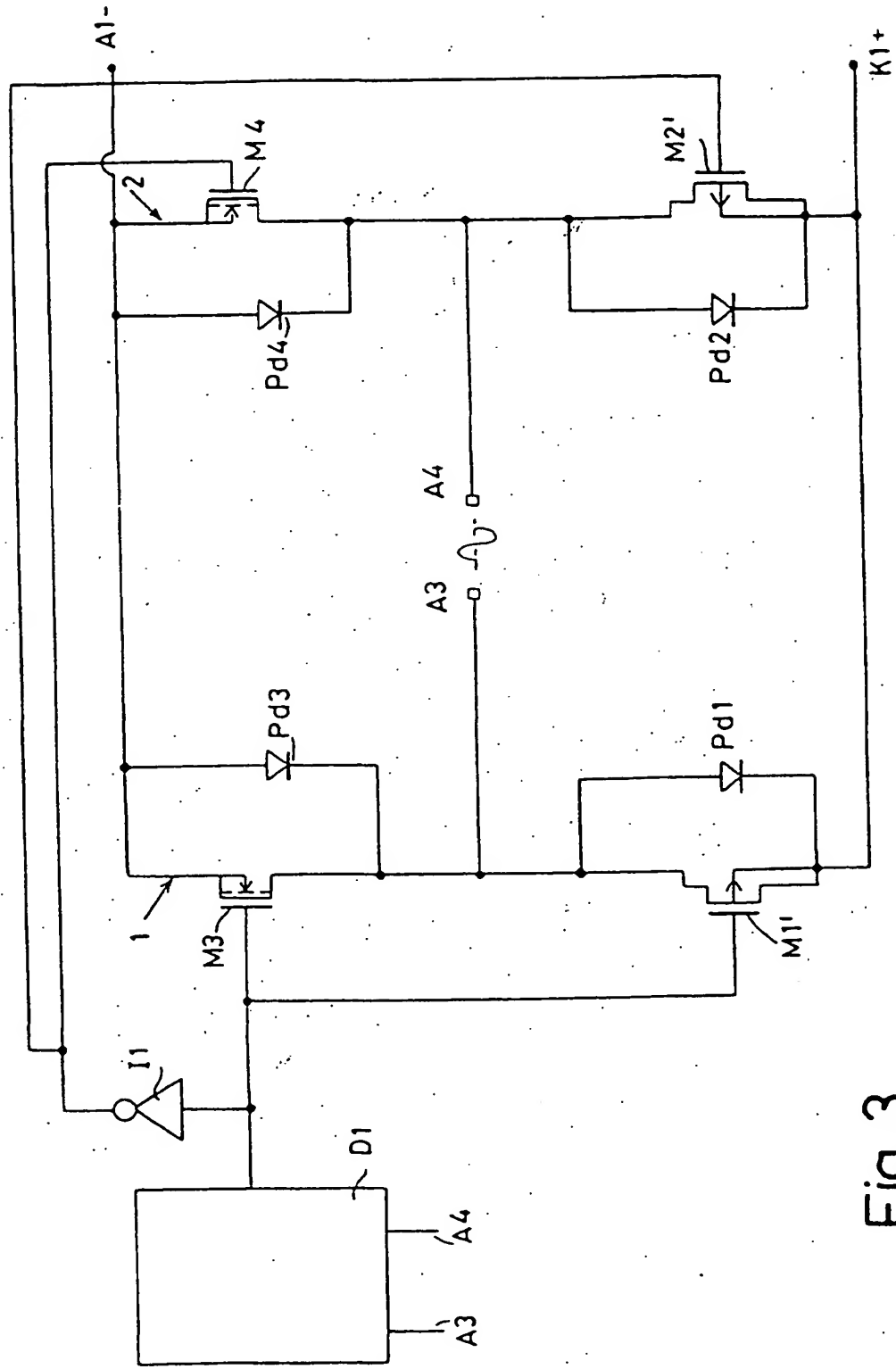


Fig. 3

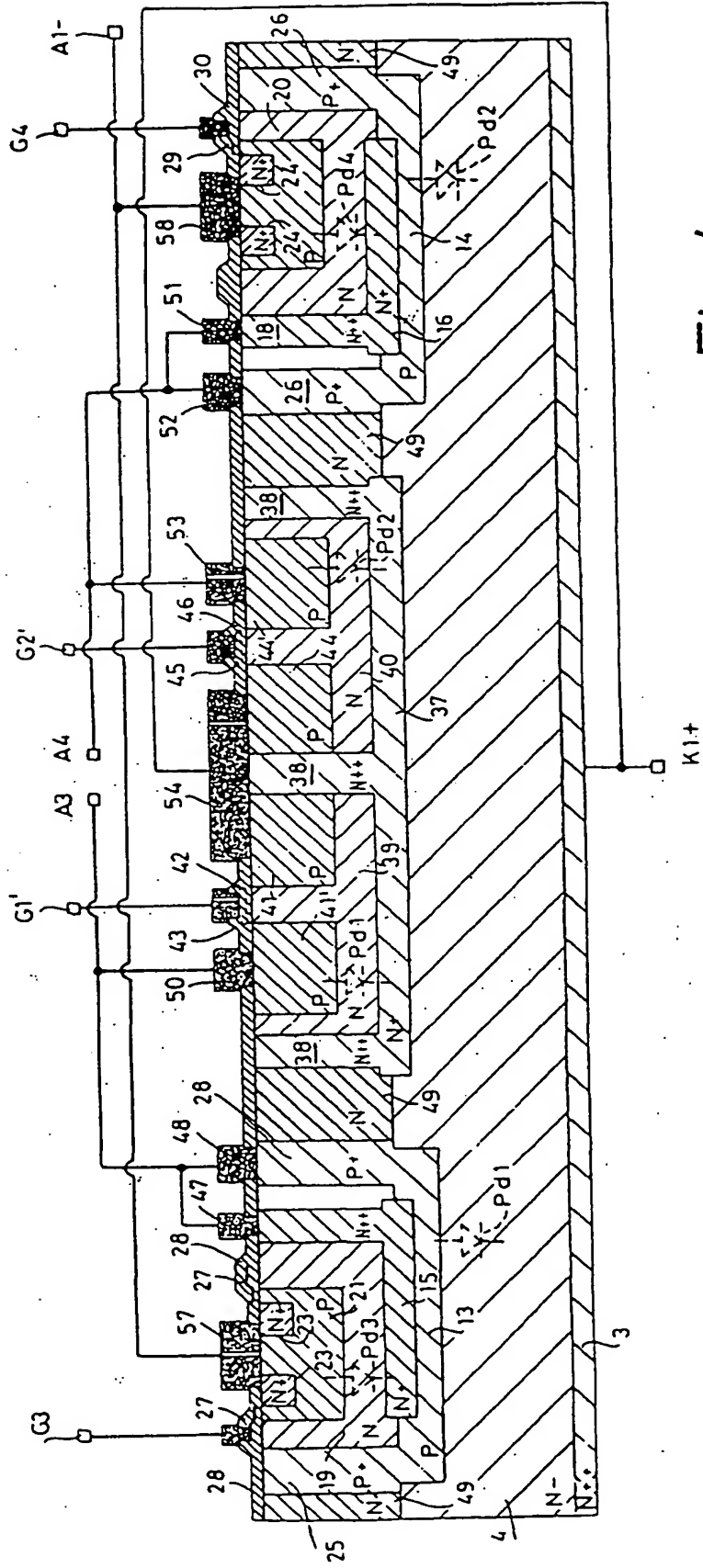


Fig. 4